

621.396.6.(07)

М545

№ 4579



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ
Технологический институт
Федерального государственного
образовательного учреждения высшего
профессионального образования
«Южный федеральный университет»



Кафедра радиоприемных устройств и
телевидения

Методические указания к лабораторной работе

Моделирование цифровых схем
по курсу
**Основы компьютерного
проектирования и моделирования РЭС**

Для студентов радиотехнического факультета всех
форм обучения



Таганрог 2010

УДК 621.396.6.001.2(07,07)

Составитель Кравец А.В.

Методические указания к лабораторной работе «Моделирование цифровых схем» по курсу «Основы компьютерного проектирования и моделирования РЭС». – Таганрог: Изд-во ТТИ ЮФУ, 2010. – 16 с.

В данном руководстве изложено краткое описание лабораторной работы и приведены краткие сведения о системе схемотехнического моделирования Micro-Cap. Приведены домашние и лабораторные задания, а также методические указания по выполнению лабораторного задания.

Лабораторная работа соответствует программам курса «Основы компьютерного проектирования и моделирования РЭС» для студентов всех форм обучения по направлению «Радиотехника».

Ил. 8. Библиогр.: 5 назв.

Рецензент В.Т. Лобач, канд. техн. наук, профессор кафедры РТС ТТИ ЮФУ.

Цель работы

Целью данной лабораторной работы является изучение основных особенностей моделирования цифровых цепей и процессов, протекающих в них; приобретение практических навыков работы в среде автоматического проектирования Micro-Cap (МС).

Краткие теоретические сведения

В программе Micro-Cap имеется возможность моделирования цифровых и аналого-цифровых цепей с обратными связями. Обычно смешанные цепи моделируются в режиме расчета переходных процессов.

Реальные цифровые ИС в программе МС представлены в виде примитивов, отражающих их функционирование на логическом уровне, а также аналого-цифровых и цифро-аналоговых интерфейсов А/Ц и Ц/А, отображающих их входные и выходные каскады (рис. 1).



Рис. 1. Модель цифровой ИС

Если цифровые ИС соединяются непосредственно друг с другом, то блоки интерфейсов во внимание не принимаются. Если же ко входу или выходу ИС подключен аналоговый компонент, то автоматически включается соответствующий интерфейс.

Соответственно различают три типа узлов:

- 1) аналоговые узлы, к которым подключены только аналоговые устройства;
- 2) цифровые узлы, к которым подключены только цифровые устройства;
- 3) узлы интерфейса, к которым подключена комбинация

аналоговых и цифровых устройств. Программа МС автоматически расщепляет каждый узел интерфейса на два узла – чисто аналоговый и чисто цифровой – и включает между ними макромодель аналого-цифрового или цифроаналогового интерфейса. Кроме того, к моделям интерфейсов автоматически подключается источник питания цифровых схем.

Логические уровни цифровых узлов принимают одно из пяти значений:

1 – высокий уровень;

0 – низкий уровень;

R – фронт (Raise, переход из состояния "0" в состояние "1");

F – спад (Fall, переход из состояния "1" в состояние "0");

X – неопределенное состояние (может принимать значение "0", "1", переходить в промежуточное или нестабильное состояние).

При вычислении логических уровней узлов, к которым подключено несколько цифровых компонентов, принимаются во внимание выходные сопротивления источников сигналов.

Устройства интерфейса

Устройства интерфейса включаются между аналоговыми и цифровыми компонентами и выполняют две функции. Во-первых, с их помощью при моделировании электрических процессов в аналоговой части цепи задаются схемы замещения входных и выходных каскадов цифровых компонентов. Во-вторых, они обеспечивают преобразование электрического напряжения в логический уровень и наоборот. Они подразделяются на устройства передачи данных от аналоговых на вход цифровых компонентов, называемые интерфейсом А/Ц (Digital Output), и на устройства передачи данных от цифровых на вход аналоговых компонентов, называемые интерфейсом Ц/А (Digital Input).

Предварительно в библиотеки цифровых компонентов включаются ассоциируемые с каждым компонентом модели

устройств интерфейса, оформленные в виде макромоделей. При расщеплении узла интерфейса для автоматического включения устройства интерфейса программа МС создает новый цифровой узел. Заметим, что узел интерфейса характеризуется электрическим напряжением, а дополнительный цифровой узел – логическим состоянием.

Рассмотрим в качестве примера смешанную цепь (рис. 2а).

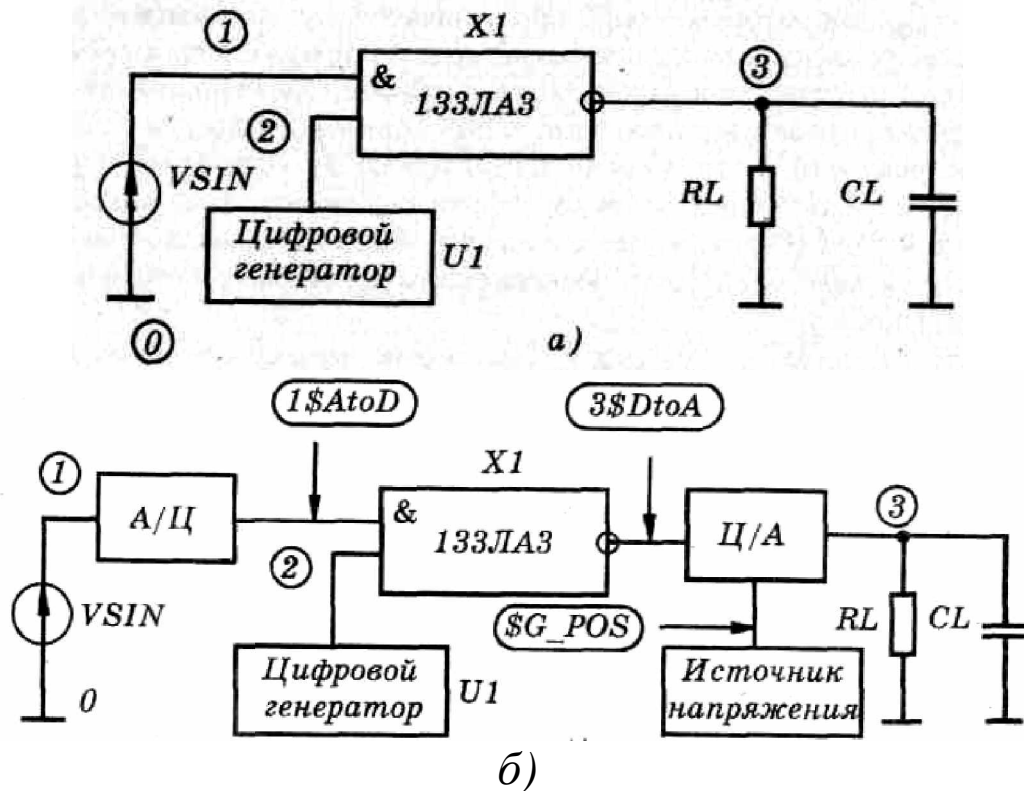


Рис. 2. Пример смешанной аналого-цифровой цепи (а) и ее схема замещения (б)

Она состоит из двух цифровых компонентов – генератора цифрового сигнала $U1$ и логического вентиля 2И-НЕ, представленного в виде макромодели $X1$. На один вход вентиля $X1$ подключается генератор аналогового сигнала $VSIN$, на другой – генератор цифрового сигнала $U1$, а к выходу – аналоговая RC-цепь. Таким образом, здесь имеются два узла интерфейса. К узлу 1 подключены аналоговый компонент $VSIN$ и вход цифрового компонента $X1$, поэтому между этими компонентами программа включит в схему замещения интерфейс А/Ц и создаст дополнительный цифровой узел $1\$AtoD$. Аналогично между выходом

цифрового компонента $X1$ и аналоговой RC-цепью будет включен интерфейс Ц/А и создан дополнительный цифровой узел $3\$DtoA$, как показано на рис. 2,б. Имена дополнительных цифровых узлов составляются по следующему правилу: в начале имени повторяется имя узла интерфейса, к нему добавляется символ \$ и затем суффикс AtoD или DtoA в зависимости от типа интерфейса (имя узла на выходе А/Ц приобретает суффикс AtoD, на входе Ц/А – DtoA). Если к одному узлу интерфейса подключается не один, а несколько однотипных компонентов, то образуются дополнительные цифровые узлы, в конце имен которых добавляются цифры 2, 3, ... Кроме того, в схеме замещения на рис. 2,б к интерфейсу Ц/А автоматически подключается источник питания через глобальный узел $\$G_POS$.

Итак, каждому реальному цифровому компоненту в программе МС ставятся в соответствие:

1) два устройства интерфейса для сопряжения с аналоговыми устройствами, которые могут подключаться к входу и выходу, названные нами для краткости интерфейсами Ц/А и А/Ц; они осуществляют обмен данными между подпрограммами моделирования аналоговых и цифровых устройств программы МС;

2) модели вход/выход, отображающие входные и выходные комплексные сопротивления цифрового компонента;

3) модели динамики, учитывающие запаздывания сигналов. Модели цифровых компонентов и ассоциируемые с ними сопутствующие модели помещаются в специальные библиотеки.

Аналого-цифровой интерфейс

Аналого-цифровые интерфейсы предназначены для преобразования аналогового напряжения в логический уровень. Они имитируют входные каскады цифровых ИС. Их схема замещения показана на рис. 3.

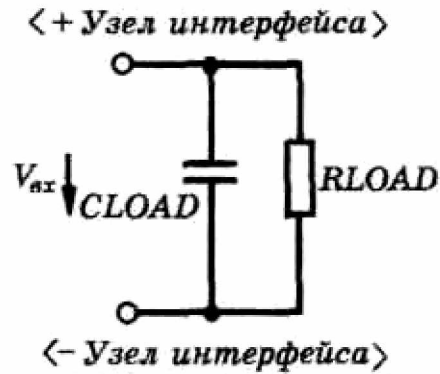


Рис. 3. Аналого-цифровой интерфейс

Каждому i -му логическому состоянию соответствует определенный диапазон напряжений **SiVLO...SiVHI**. До тех пор, пока входное напряжение интерфейса А/Ц не выходит за свои границы, логическое состояние на выходе интерфейса А/Ц не изменяется. В противном случае входное напряжение будет сравниваться с пороговыми уровнями, начиная с **S0VLO**, пока не попадет в какой-нибудь интервал. Если оно не попадает ни в один интервал напряжений, логическому состоянию интерфейса А/Ц по умолчанию присваивается символ "?" (его можно изменить с помощью параметра SXNAME).

При взаимодействии с модулем логического моделирования программы МС имена логических состояний должны быть "0", "1", "X", "R", "F" или "Z" (однако состояние "Z" обычно не используется, так как состояние высокого импеданса не определяет уровень напряжения).

Моделирование входной цепи реального цифрового компонента с помощью линейной RC-цепи, как показано на рис. 3, не всегда обеспечивает достаточную точность расчетов. Поэтому используют несколько моделей входных цепей логических компонентов, оформляя их в виде макромоделей. В качестве примера на рис. 4 представлена нелинейная модель входной цепи ТТЛ-логики, к которой подключено стандартное устройство сопряжения.

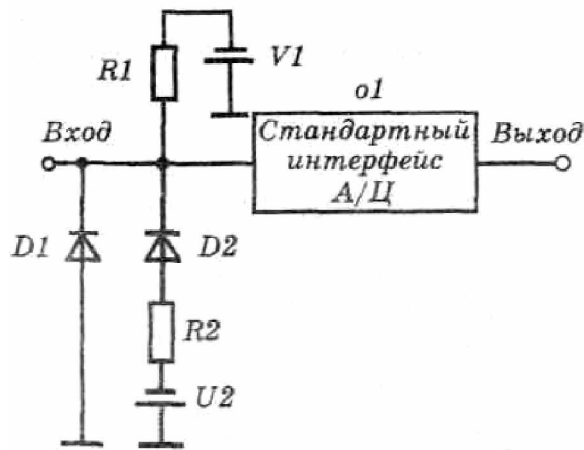


Рис. 4. Нелинейная модель входной цепи цифрового компонента

Цифроаналоговый интерфейс

Цифроаналоговый интерфейс предназначен для преобразования логического уровня выходных сигналов цифровых компонентов ("1", "0", "X", "R", "F" или "Z") в аналоговое напряжение, как показано на рис. 5.



Рис. 5. Цифроаналоговый интерфейс

Эти устройства включают на входе аналоговых компонентов. Аналоговое напряжение образуется с помощью источника опорного напряжения и делителя на резисторах, сопротивления которых изменяются программно в соответствии с логическим уровнем цифрового сигнала.

Начальное логическое состояние управляющего цифрового узла в момент времени $t = 0$ определяется режимом схемы по постоянному току. Изменение этого состояния при

необходимости производится с помощью необязательной опции $IS = \langle \text{начальное состояние} \rangle$.

На рис. 5 изображена схема замещения выходного каскада цифровых ИС. Сопротивления резисторов изменяются в соответствии с логическим уровнем управляющего цифрового узла.

Эти сопротивления рассчитываются по формулам

$$R_{LO} = R_{\text{ВЫХ}} E_{\Pi} / (E_{\Pi} - U_{\text{ВЫХ}});$$

$$R_{HI} = R_{\text{ВЫХ}} E_{\Pi} / U_{\text{ВЫХ}},$$

где $R_{\text{ВЫХ}}$ и $U_{\text{ВЫХ}}$ – выходное сопротивление и уровень выходного напряжения в данном логическом состоянии;

E_{Π} – напряжение источника питания.

К управляющему цифровому узлу не должны подключаться какие-либо аналоговые компоненты, так как в противном случае между ними автоматически будет включен аналого-цифровой интерфейс и цифровой узел отсоединится.

В процессе моделирования логические состояния управляющего цифрового узла получают имена "0", "1", "X", "R", "F" и "Z". Моделирование прерывается, если хотя бы одно из этих состояний не указано в перечне спецификаций **SnNAME**, **SnTSW**, **SnRLO** и **SnRHI**.

Домашнее задание

1. Изучить теоретический материал по конспекту лекций и предложенному списку литературы.
2. Провести анализ предстоящей работы с использованием настоящего методического руководства.
3. Согласно приложению, изучить основные атрибуты моделей цифровых устройств.

Лабораторное задание

1. Создайте схему согласно рис. 6.

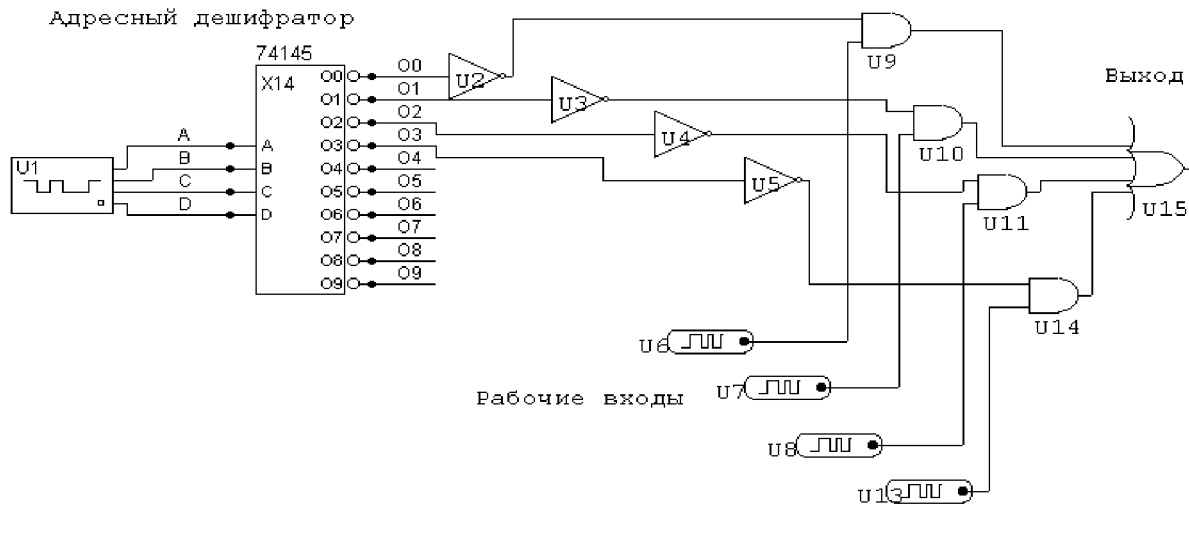


Рис. 6 Схема мультиплексора

2. Исследуйте эту схему во временной области.
3. Настроивая временную модель одного из элементов, добейтесь явления гонок (состязаний) в модели.

Методические рекомендации по выполнению лабораторной работы

1. Создайте схему согласно рис.6. На схеме показаны три разновидности логических устройств, описываемых тремя типами моделей:

элементы И, ИЛИ, НЕ, включающие простейшую модель;

.MODEL D0_GATE – идеальная (безынерционная) временная модель логических элементов И, ИЛИ, НЕ;

генераторы двоичных последовательностей U1, U6, U7, U8, U13, описываемые программной конструкцией с директивой .DEFINE:

.DEFINE IN – динамическая модель генератора двоичных сигналов ABCD

+0NS 0

+LABEL=START

+100NS INCR BY 1

+200NS GOTO START -1 TIMES

.DEFINE a – модель источника рабочего входа A
+0NS 1

.DEFINE b – модель источника рабочего входа B
+0NS 0

.DEFINE c – модель источника рабочего входа C
+0NS 1

.DEFINE d – модель источника рабочего входа D
+0NS 1

2. Анализ дискретных схем производится во временном режиме, который позволяет оценить их работоспособность в соответствии с таблицей истинности или логическим уравнением. В частности, для приведенной выше схемы на рис. 7 показана временная диаграмма.

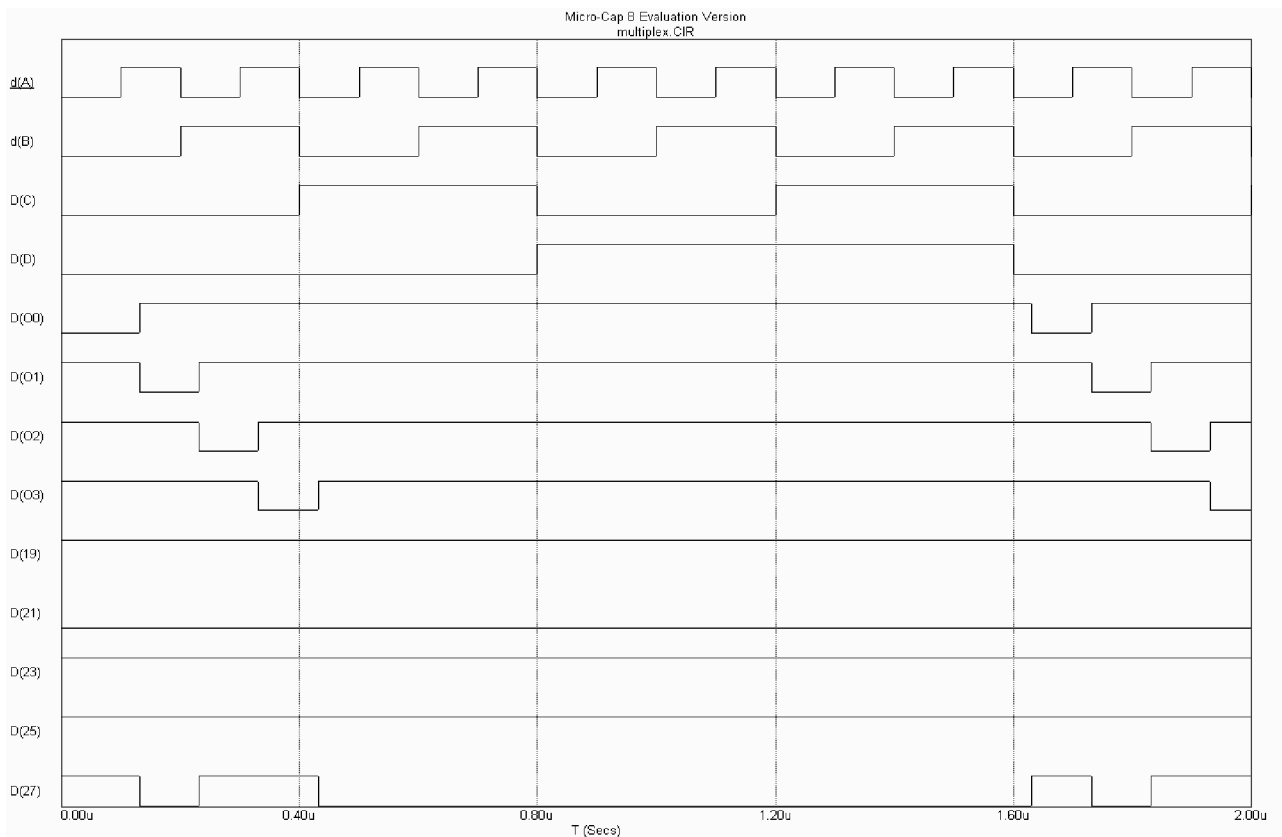


Рис. 7. Временная диаграмма функционирования мультиплексора

Как видно из диаграммы, параллельный рабочий код на входе мультиплексора 1011 (d(19), d(20), d(21), d(25)) преобразуется в последовательный на его выходе d(27).

3. Если элементы схемы одинаковы, то все пути прохождения сигналов на выход имеют равную задержку. Как видно из диаграммы, состязания сигналов отсутствуют, а соответственно и помехи. Однако при различных задержках сигналов на разных путях в схеме будут иметь место состязания сигналов, что приведет, как показано на рис. 8, к возникновению «лишнего нуля» – помехи на выходе d(27) типа 10101.

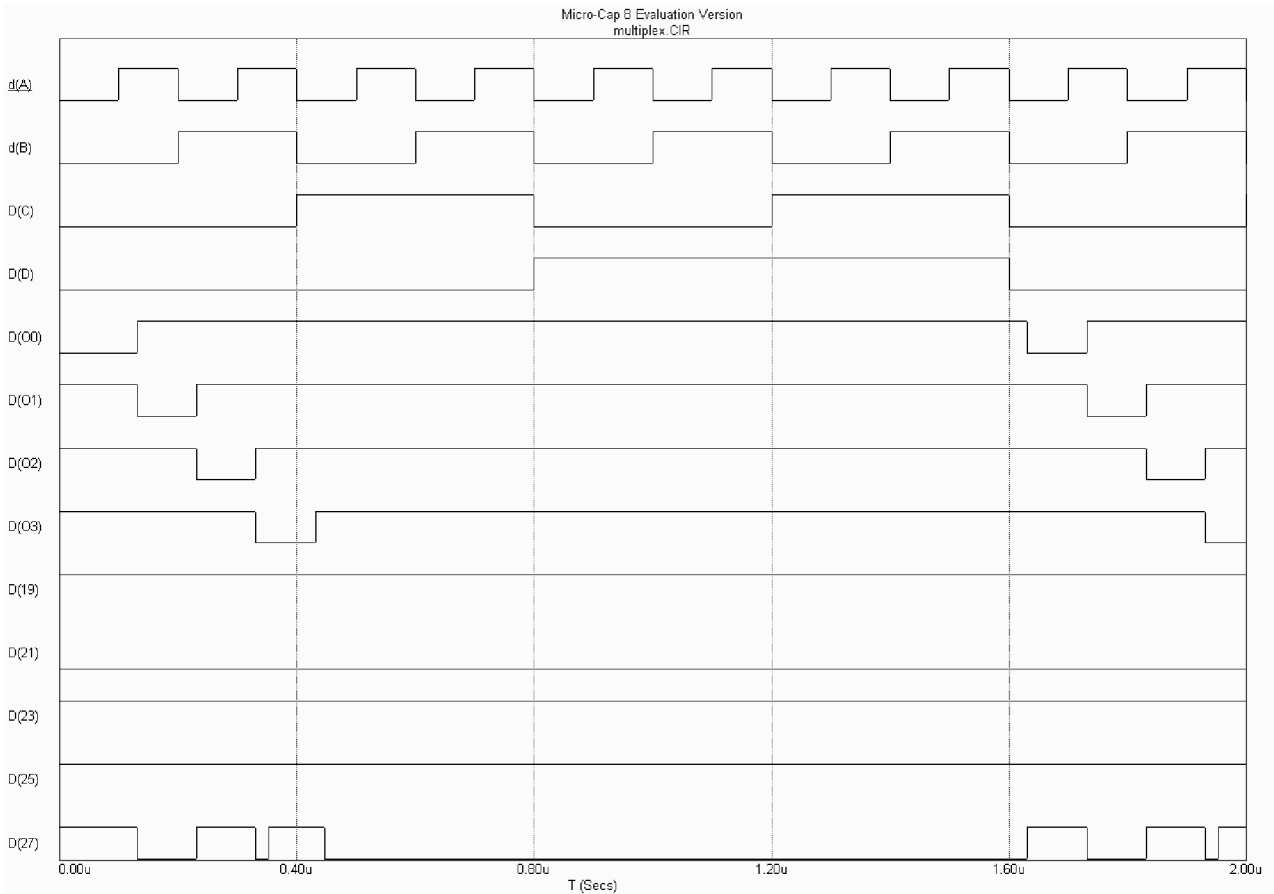


Рис. 8 Возникновение состязаний (гонок) в схеме мультиплексора

Контрольные вопросы

1. Программа задания цикла генератора сигналов.
2. Временная модель цифровых устройств и ее параметры.
3. Команды описания временных задержек логического устройства.
4. Атрибут I/O Model и его назначение.
5. Атрибут Format и его назначение.
6. Атрибут Timestep и его назначение.
7. Выбор интерфейса подсхемы.
8. Модель ввода-вывода, ее параметры и схемы замещения.
9. Явление гонок (состязаний) в цифровых схемах.
10. Явление «расщепления узлов».
11. Эквивалентные схемы аналого-цифрового интерфейса.
12. Эквивалентная схема цифроаналогового интерфейса.

Библиографический список

1. Разевиг В.Д. Система схемотехнического моделирования MICRO-CAP VI. – М.: Горячая линия – Телеком, 2001. – 344 с.
2. Разевиг В.Д. Система схемотехнического моделирования и проектирования печатных плат Design Center (PSpice). – М.: СК Пресс, 1996. – 272 с.
3. Амелина М.А., Амелин С.А. Программа схемотехнического моделирования Micro-Cap 8. – М.: Горячая линия – Телеком, 2007. – 464 с.
4. Касьянов А.Н. Micro-Cap в схемотехнике: Учебное пособие. – Тамбов: Изд-во Тамб. гос. техн. ун-та, 2004. – 112 с.
5. Вейс Л. Д. Схемотехника. Изучение и проектирование на компьютере: Учебное пособие. – Бишкек, 1999. (электронная версия).

Модель цифрового генератора

Атрибут **PART**: <имя> определяет имя элемента.

Атрибут **FORMAT**: <массив форматов> определяет формат значений в stim-командах: 1=двоичный, 3=восьмеричный, 4=шестнадцатеричный. Сумма этих цифр в параметре <value> команды должна быть равна количеству выходов двоичного генератора.

Атрибут **COMMAND**: определяет команды для генератора. Имя генератора также может быть параметром, если его указать в выражении **.define** в текстовом окне (Split text).

Пример:

```
.define AIN
+0ns 1011
+100ns 0011
+200ns 1010
```

Используются следующие stim-команды:

<time> <значение> .

Параметр <time> указывает время, когда генерируется новое <значение> команд INCR (увеличить на <значение>), DECR (уменьшить на <значение>). <Time> может быть указано в секундах или в циклах. Циклы указываются с помощью символа 'C'. Значение TIMESTEP будет умножаться на то значение, что стоит перед символом 'C', чтобы определить значение в реальных секундах. Время может быть объявлено относительно предыдущего времени с помощью знака "+", например +10 с или +50 ns.

<LABEL=<название метки> указывает начало цикла.

<time> INCR BY <значение> ,

<time> DECR BY <значение> ,

<time> GOTO <название метки> <repeat> TIMES,

GOTO <название метки> переводит исполнение программы к следующему не обозначенному меткой оператору после выражения LABEL=<название метки>, а <repeat> указывает,

сколько раз повторять цикл. Значение -1 создает "вечный" цикл.

Параметр <значение> указывает значения для выходных зажимов генератора. Формат значений определяется командой Format: 0, 1, R–фронт, F–спад, X–неопределенность, Z–высокий импеданс, RND–случайное число, ?–случайный символ, а также могут быть использованы бинарные, восьмеричные, и шестнадцатеричные числа. Параметры RND и ? случайно принимают значения от 0 до 1. Значение RND покрывает все символы в <значении> в то время, как команда ? повлияет лишь на один символ.

Атрибут **I/O MODEL**: <название модели ввода-вывода> определяет имя модели для описания ввода-вывода.

Атрибут **TIMESTEP**: <размер временного шага> влияет только на значения в stim-командах, которые имеют суффикс 'C', и определяет количество секунд в одном временном шаге. Значения, указанные в секундах, не будут затронуты.

Атрибут **IO_LEVEL**: <значение выбора интерфейса подсхемы> выбирает один из четырех интерфейсов подсхем AtoD или DtoA. Это подсхема, которая будет вызываться, когда аналоговое устройство будет подключено к генератору. По умолчанию – 0.

0 = значение DIGIOLVL в глобальных установках.

1 = AtoD1/DtoA1

простейшая модель (логические состояния 0, 1, X, R, F)

2 = AtoD2/DtoA2

простейшая модель (логические состояния 0, 1, R, F)

3 = AtoD3/DtoA3

нелинейная (TTL) модель (логические состояния 0, 1, X, R, F)

4 = AtoD4/DtoA4

нелинейная (TTL) модель (логические состояния 0, 1, R, F)

Атрибут **POWER NODE**: <цифровой разъем питания>

Атрибут **GROUND NODE**: <цифровой узел заземления>

Кравец Андрей Владимирович

Методические указания к лабораторной работе

Моделирование цифровых схем

по курсу

**Основы компьютерного проектирования и
моделирования РЭС**

Ответственный за выпуск Кравец А.В.

Редактор Маныч Э.И.

Корректор Маныч Э.И.

ЛР № 020565 от 23 июня 1997 г.

Подписано к печати

Формат 60X84 1/16 . Бумага офсетная. Офсетная печать.

Усл. п.л. – 1,0. Уч.-изд. л. – 0,9.

Заказ №

Тираж. 100 экз.

«С»

Издательство Технологического института
Южного федерального университета
ГСП 17 А, Таганрог, 28, Некрасовский, 44
Типография Технологического института
Южного федерального университета
ГСП 17 А, Таганрог, 28, Энгельса, 1